

Family list6 family members for: **JP2001309243**

Derived from 4 applications

[Back to JP2001309](#)

- 1 SOLID-STATE IMAGING APPARATUS AND DRIVING METHOD AND DRIVING METHOD FOR IMAGING APPARATUS**
Inventor: WATANABE YASUSHI **Applicant:** SHARP KK
EC: H04N3/15E **IPC:** H01L27/146; H04N3/15; H04N5/335 (+5)
Publication info: **JP3856283B2 B2** - 2006-12-13
 JP2001309243 A - 2001-11-02
- 2 SOLID IMAGING DEVICE AND DRIVING METHOD THEREOF**
Inventor: WATANABE TAKASHI **Applicant:** SHARP KK
EC: H04N3/15E **IPC:** H01L27/146; H04N3/15; H04N5/335 (+4)
Publication info: **KR20010082165 A** - 2001-08-29
- 3 Solid imaging device and method for driving the same**
Inventor: WATANABE TAKASHI (JP) **Applicant:** SHARP KK (JP)
EC: H04N3/15E **IPC:** H01L27/146; H04N3/15; H04N5/335 (+5)
Publication info: **TW518886B B** - 2003-01-21
- 4 Solid imaging device and method for driving the same**
Inventor: WATANABE TAKASHI (JP) **Applicant:**
EC: H04N3/15E **IPC:** H01L27/146; H04N3/15; H04N5/335 (+5)
Publication info: **US7102677 B2** - 2006-09-05
 US2001013899 A1 - 2001-08-16

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-309243

(P2001-309243A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	E 5 C 0 2 4
			A

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21)出願番号 特願2000-312704(P2000-312704)
(22)出願日 平成12年10月12日(2000.10.12)
(31)優先権主張番号 特願2000-35801(P2000-35801)
(32)優先日 平成12年2月14日(2000.2.14)
(33)優先権主張国 日本(J P)

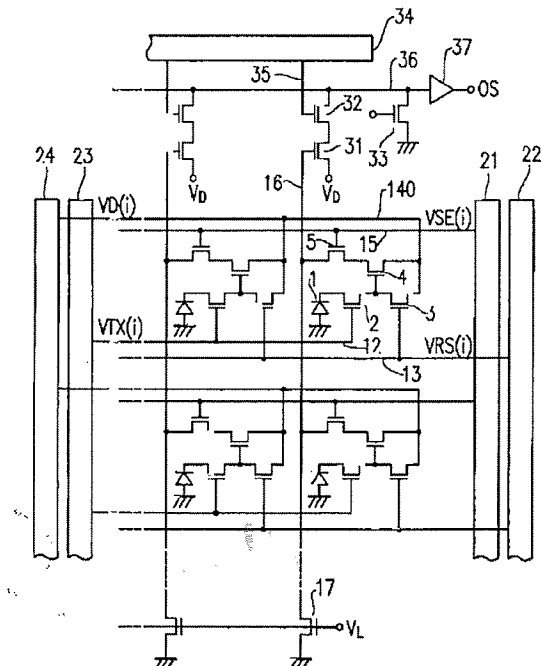
(71)出願人 000003049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 渡辺 恭志
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 100078282
弁理士 山本 秀策
Fターム(参考) 4M118 AA05 AB01 BA14 CA02 FA06
FA33
5C024 AX01 CX03 CX11 CX12 EX03
GX02 GX03 GY31 GY39 GY41
GZ01 GZ05 HX12 HX17 JX34

(54)【発明の名称】 固体撮像装置および撮像装置の駆動方法

(57)【要約】

【課題】 電荷転送不良により発生する残像現象を解消して、低ノイズ、高感度、高画質の画像信号を得る。

【解決手段】 固体撮像装置は、少なくとも1つの画素を備え、該画素はトランスファゲートでそれぞれ分離された光電変換素子と電荷検出部とを備える。該電荷検出部は、リセットゲートを介してドレインに接続される固体撮像装置であって、該リセットゲートは該電荷検出部の電位をリセットした後、該トランスファゲートがONにされることにより該光電変換素子から該電荷検出部へ信号電荷転送を行い、その後、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインの電位をHigh状態→Low状態→High状態へ変化させる。



【特許請求の範囲】

【請求項1】 少なくとも1つの画素を備え、該画素はトランスファゲートでそれぞれ分離された光電変換素子と電荷検出部とを備え、該電荷検出部は、リセットゲートを介してドレインに接続される固体撮像装置であって、
該リセットゲートは該電荷検出部の電位をリセットした後、該トランスファゲートがONにされることにより該光電変換素子から該電荷検出部へ信号電荷転送を行い、その後、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインの電位をHigh状態→Low状態→High状態へ変化させることを特徴とする固体撮像装置。

【請求項2】 前記電荷検出部の電位変化を増幅する増幅用トランジスタおよび該増幅用トランジスタの出力信号を選択的に読み出す画素選択用トランジスタをさらに備えた固体撮像装置であって、
該増幅用トランジスタおよび該画素選択用トランジスタを介して信号電荷に対応する信号の読み出しを行った後に該ドレインの電位を変化させることによって該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっていることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】 前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性のMOSトランジスタによって形成されている請求項2に記載の固体撮像装置。

【請求項4】 前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型MOSトランジスタである請求項3に記載の固体撮像装置。

【請求項5】 前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低い請求項4に記載の固体撮像装置。

【請求項6】 前記光電変換素子から前記電荷検出部へ電荷転送を行う期間をT1、前記ドレインの電位をLow状態→High状態へ変化させてから前記トランスファゲートをOFF状態にするまでの期間をT2として、
T1=T2とすることを特徴とする請求項1に記載の固体撮像装置。

【請求項7】 複数の前記画素がマトリクス状に配列されており、前記ドレインポイントは、水平方向に行単位で走査回路に独立に接続されており、該走査回路によりパルス状の駆動電圧を行単位で順次印加される請求項1に記載の固体撮像装置。

【請求項8】 前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味の信号成分を出力する相関2重サンプリング回路が設けられている請求項1に記載の固体撮像装置。

【請求項9】 少なくとも1つの画素を備え、該画素はトランスファゲートでそれぞれ分離された光電変換素子と電荷検出部とを備え、該電荷検出部は、リセットゲートを介してドレインに接続される固体撮像装置の駆動方法であって、該方法は、

該リセットゲートを介して該電荷検出部の電位をリセットする工程と、その後、該光電変換素子から該電荷検出部へ該トランスファゲートをONにすることによって信号電荷転送を行う工程と、

その後、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインの電位をHigh状態→Low状態→High状態へ変化させる工程を特徴とする固体撮像装置の駆動方法。

【請求項10】 前記電荷検出部の電位変化を増幅する増幅用トランジスタおよび該増幅用トランジスタの出力信号を選択的に読み出す画素選択用トランジスタをさらに備えた固体撮像装置の駆動方法であって、該方法は、前記信号電荷転送を行う工程の後、該増幅用トランジスタおよび該画素選択用トランジスタを介して信号電荷に対応する信号の読み出しを行う工程を包含し、
該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっている請求項9に記載の固体撮像装置の駆動方法。

【請求項11】 前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性のMOSトランジスタによって形成されている請求項10に記載の固体撮像装置の駆動方法。

【請求項12】 前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型MOSトランジスタである請求項11に記載の固体撮像装置の駆動方法。

【請求項13】 前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低い請求項12に記載の固体撮像装置の駆動方法。

【請求項14】 前記光電変換素子から前記電荷検出部へ電荷転送を行う期間をT1、前記ドレインの電位をLow状態→High状態へ変化させてから前記トランスファゲートをOFF状態にするまでの期間をT2として、
T1=T2とすることを特徴とする請求項9に記載の固体撮像装置の駆動方法。

【請求項15】 複数の前記画素がマトリクス状に配列されており、前記ドレインは、水平方向に行単位で走査回路に独立に接続されており、該走査回路によりパルス状の駆動電圧を行単位で順次印加される工程を有する請求項9に記載の固体撮像装置の駆動方法。

【請求項16】 前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味

の信号成分を出力する相関2重サンプリング回路が設けられている請求項9に記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、新規の駆動方法を用いた固体撮像装置および固体撮像装置の駆動方法に関する。

【0002】

【従来の技術】各画素毎に増幅機能を持たせた画素部と画素部の周辺とに走査回路を有し、その走査回路により画素データを読み出す増幅型固体撮像装置が提案されている。特に、増幅型固体撮像装置として、画素構成を周辺の駆動回路および信号処理回路との一体化に有利なCMOSにより構成した、APS (Active Pixel Sensor) 型イメージセンサが知られている。APS型イメージセンサは、1画素内に光電変換部、増幅部、画素選択部、リセット部を形成する必要がある。さらにAPS型イメージセンサには通常フォトダイオード (PD) からなる光電変換部の他に3個~4個のMOS型トランジスタ (T) が用いられている。

【0003】図7に1個のフォトダイオード (PD) と4個のMOS型トランジスタ (T) を用いて、PD+4T方式としたAPS型イメージセンサの構成を示す。PD+4T方式は、R. M. Guidash et al., IEDM Tech. Digest, P. 927 (1997) に開示されている。

【0004】図7に示すAPS型イメージセンサは、PDとしてフォトダイオード1、4Tとしてトランスファゲート2、リセットゲート3、増幅用トランジスタ4、画素選択用トランジスタ5とによって構成されている。

【0005】電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15は、水平方向の駆動パルス電圧を供給する。電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15の駆動パルス電圧は、それぞれVTX、VRS、VSEである。電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15は、それぞれ垂直走査回路23、22、21に接続されている。i行目の駆動パルス電圧VRS (i)、VSE (i)、VTX (i) がそれぞれリセットゲート3、画素選択用トランジスタ5のゲート、トランスファゲート2へ印加されている。

【0006】垂直方向には、電源線14と垂直信号線16とが引き出されている。各列毎の垂直信号線16には、負荷トランジスタ17が接続されている。垂直信号線16の信号が駆動トランジスタ31および水平選択スイッチトランジスタ32を介して、水平信号線36に伝達される。

【0007】水平選択スイッチトランジスタ32は、水平走査回路34からの水平走査信号35により駆動され

る。水平信号線36には、負荷トランジスタ33が接続されている。水平信号線36の信号がバッファアンプ37で増幅され出力OSとして出力されている。

【0008】図8は、図7で示したPD+4T方式の回路動作を説明するタイミングチャートである。VDは一定電圧の電源電圧である。

【0009】i行目、i+1行目の各駆動パルス電圧VRS (i)、VSE (i)、VTX (i) およびVRS (i+1)、VSE (i+1)、VTX (i+1) は、1水平走査期間 (1H) を隔てて同様の駆動パルス電圧波形であるため、i行目について説明する。

【0010】期間t1では、リセットゲート3: RS (i) がON状態となり、ゲートのポテンシャルエネルギーが下がるために電荷検出部FDよりリセットゲート3: RS (i) のドレインへ電荷移動が起こり、電荷検出部FDの電位が電源電圧VDにリセットされる。

【0011】期間t2では、リセットゲート3: RS (i) は、OFF状態となるが電荷検出部FDではリセット時の電位VDが保持される。

【0012】期間t3では、トランスファゲート2: TX (i) がON状態となり、ゲートのポテンシャルエネルギーが下がるためにフォトダイオード1: PDに蓄積された信号電荷が電荷検出部FDへ転送される。

【0013】期間t4では、トランスファゲート2: TX (i) がOFF状態となるが電荷検出部FDでは信号電荷転送時の電位が保持される。

【0014】期間t6では、トランスファゲート2: TX (i)、リセットゲート3: RS (i) が共にON状態となり、両方のゲートのポテンシャルエネルギーが下がるためにフォトダイオード1: PDおよび電荷検出部FDからリセットゲート3: RS (i) のドレインへ電荷移動が起こる。従って、フォトダイオード1: PDの電位が、後述するトランスファゲートハイレベルに依存する電位 (Fk) に、また電荷検出部FDの電位が電源電圧VDにリセットされる。

【0015】期間t7では、トランスファゲート2: TX (i) がOFF状態となり、フォトダイオード1: PDを外部回路から遮断する。期間t7は、フォトダイオード1: PDの電位をトランスファゲートに依存する電位 (Fk) に保持した後に電荷検出部FDをも外部回路から遮断するための予備期間である。

【0016】期間t1~t4では、画素選択クロックライン15の駆動パルス電圧VSE (i) が画素選択用トランジスタ5のゲートへ印加され、画素選択用トランジスタ5がON状態となる。従って、期間t1~t4の電荷検出部FDでの検出信号が垂直信号線16へ出力される。

【0017】期間t1~t7の一連の回路動作は、水平ブランキング期間H-BLK内で行われる。期間t2ではリセット信号、および期間t4では検出信号が垂直信

号線16に現れるから、その後の相関2重サンプリング (CDS: correlated double sampling) 処理により期間 t_2 および期間 t_4 の信号レベルの差を取れば、正味の信号を得ることができる。これらの信号は水平有効期間H-EFFの間に水平走査回路34により順次読み出される。

【0018】

【発明が解決しようとする課題】以上、説明した図7の回路構成および図8の回路動作では、フォトダイオードから電荷検出部FDへの電荷転送時に、以下の問題が生じる。

【0019】図9は、フォトダイオード1:PD

(i)、トランスファゲート2:TX(i)、リセットゲート3:RS(i)、電荷検出部FDの各部のポテンシャルエネルギーを示す。図9の回路動作を図8のタイミングチャートに従って説明する。

【0020】図8の期間 t_1 で電荷検出部FDの電位を電源電圧VDにリセットした後、期間 t_3 でフォトダイオード1:PDに蓄積した信号電荷量が読み出される。この時、読み出される信号電荷量は、信号レベルのポテンシャルエネルギーFsからトランスファゲート1:TX(i)のON状態でのハイレベルポテンシャルエネルギーF0までの量ではなく、更に $\Delta 1$ だけ深いポテンシャルエネルギーまでの量である。これは、熱放出効果により、フローティング状態のフォトダイオード1:PDからポテンシャルエネルギーバリア $\Delta 1$ を越えて余分な電荷が放出されるためである。

【0021】この現象は、信号読み出し動作毎に生じる。明るい信号状態の後に、暗い信号状態が数回の読み出し期間にわたって続くと、読み出し動作後のフォトダイオード1:PDのポテンシャルエネルギーは、 $\Delta 2$ 、 $\Delta 3$ 、 $\Delta 4$ のように順次深くなっていく。このことは、暗い信号状態の場合でも、微少な信号が出力されることを示している。さらに、もう一度明るい信号状態になった場合には、深くなったポテンシャルレベルを基準に、信号電荷は蓄積していくため、その分目減りした信号電荷量となる。

【0022】したがって、暗い信号状態の後に明るい信号状態になると信号電荷量の減少が起こり、明るい信号状態の後に暗い信号状態になると余分な信号電荷が出力されてしまう。即ち、図7の回路構成および図8の回路動作では、残像現象が発生することになる。

【0023】なお図9のリセットゲート3:RS(i)は、埋め込みチャネル型とされ、トランスファゲート2:Tx(i)より深いポテンシャルエネルギーを有している。

【0024】残像現象の抑圧には、従来よりバイアス電荷の導入が有効であることが知られている。例えばBB D(bucket brigade device=バケツリレー素子)では本質的にこのような動作の連続と

なるため、信号電荷とは別の一定量のバイアス電荷が導入される。イメージセンサのフォトダイオードの場合には、バイアスライトを設けることがバイアス電荷の導入に相当する。しかしながら、バイアスライトを設けることは、素子の使用に対し大きな負担となり、また光電変換ノイズの増大にもなる。

【0025】他の方法としては、フォトダイオードへの電荷注入領域を別途設け、電荷注入領域からフォトダイオード側へ一度バイアス電荷を注入した後、スキミング転送により再度ダイオード側から電荷注入領域へ電荷を戻し、過剰転送分に相当する電荷のみダイオードに残す方法が開示されている(曾根 他、テレビジョン学会技術報告ED621、(1982))。この方法を光導電膜積層型CCDに適用した例もある(特開平2-196575公報)。これらの方法は、本来の構成素子に加えて電荷注入領域(例えばインプットソース)と制御ゲート(例えばスキミング用制御ゲートTG2)とを付加する必要がある。従って、高密度の画素が求められる増幅型固体撮像素子では基板上のレイアウトに関して重大な問題となる。

【0026】更に別の解決法としては、フォトダイオードを完全空乏層型とし、読み出し時にフォトダイオード側に信号電荷が残留しない構造とすることが開示されている。この構造は、フォトダイオードの表面を高濃度の反対極性層で覆う必要があり、読み出し時に大きな電圧を必要とする。このことは、CMOS型イメージセンサの特長である低電圧駆動、低消費電力という利点がなく、このままでは許容されない。

【0027】本発明は、このような問題を解決するものであり、その目的は、電荷転送不良により発生する残像現象を解消して、低ノイズ、高感度、高画質の固体撮像装置を提供するものである。

【0028】

【課題を解決するための手段】本発明による固体撮像素子は、少なくとも1つの画素を備え、該画素はトランスファゲートでそれぞれ分離された光電変換素子と電荷検出部とを備え、該電荷検出部は、リセットゲートを介してドレインに接続される固体撮像装置であって、該リセットゲートは該電荷検出部の電位をリセットした後、該トランスファゲートがONにされることにより該光電変換素子から該電荷検出部へ信号電荷転送を行い、その後、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインの電位をHigh状態→Low状態→High状態へ変化させることを特徴として、それにより、上記目的が達成される。

【0029】前記電荷検出部の電位変化を増幅する増幅用トランジスタおよび該増幅用トランジスタの出力信号を選択的に読み出す画素選択用トランジスタをさらに備えた固体撮像装置であって、該増幅用トランジスタおよび該画素選択用トランジスタを介して信号電荷に対応す

る信号の読み出しを行った後に該ドレインの電位を変化させることによって該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっていてもよい。

【0030】前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性のMOSトランジスタによって形成されていてもよい。

【0031】前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型MOSトランジスタであってもよい。

【0032】前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低くてよい。

【0033】前記光電変換素子から前記電荷検出部へ電荷転送を行う期間をT1、前記ドレインの電位をLow状態→High状態へ変化させてから前記トランスファゲートをOFF状態にするまでの期間をT2として、 $T1 = T2$ としてもよい。

【0034】複数の前記画素がマトリクス状に配列されており、前記ドレインポイントは、水平方向に行単位で走査回路に独立に接続されており、該走査回路によりパルス状の駆動電圧を行単位で順次印加されてもよい。

【0035】前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味の信号成分を出力する相関2重サンプリング回路が設けられていてもよい。

【0036】本発明による固体撮像装置に駆動方法は、少なくとも1つの画素を備え、該画素はトランスファゲートでそれぞれ分離された光電変換素子と電荷検出部とを備え、該電荷検出部は、リセットゲートを介してドレインに接続される固体撮像装置の駆動方法であって、該方法は、該リセットゲートを介して該電荷検出部の電位をリセットする工程と、その後、該光電変換素子から該電荷検出部へ該トランスファゲートをONにすることによって信号電荷転送を行う工程と、その後、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインの電位をHigh状態→Low状態→High状態へ変化させる工程を特徴とし、それにより、上記目的が達成される。

【0037】前記電荷検出部の電位変化を増幅する増幅用トランジスタおよび該増幅用トランジスタの出力信号を選択的に読み出す画素選択用トランジスタをさらに備えた固体撮像装置の駆動方法であって、該方法は、前記信号電荷転送を行う工程の後、該増幅用トランジスタおよび該画素選択用トランジスタを介して信号電荷に対応する信号の読み出しを行う工程を包含し、該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっていてもよい。

【0038】前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性のMOSトランジスタによって形成されていてもよい。

【0039】前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型MOSトランジスタであってもよい。

【0040】前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低くてよい。

【0041】前記光電変換素子から前記電荷検出部へ電荷転送を行う期間をT1、前記ドレインの電位をLow状態→High状態へ変化させてから前記トランスファゲートをOFF状態にするまでの期間をT2として、 $T1 = T2$ としてもよい。

【0042】複数の前記画素がマトリクス状に配列されており、前記ドレインは、水平方向に行単位で走査回路に独立に接続されており、該走査回路によりパルス状の駆動電圧を行単位で順次印加される工程を有してよい。

【0043】前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味の信号成分を出力する相関2重サンプリング回路が設けられていてもよい。

【0044】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。図1は、本発明による固体撮像装置の例を4画素の回路構成で示した回路図である。

1画素の回路構成は、フォトダイオード1、トランスファゲート2、リセットゲート3、増幅用トランジスタ4、画素選択用トランジスタ5である。

【0045】電荷転送クロックライン12、リセットクロックライン13、画素選択クロックライン15は、水平方向の駆動パルス電圧を供給する。リセットゲート3および増幅用トランジスタ4のドレインに接続された電源線140は、電源パルス電圧を供給する。電荷転送クロックライン、リセットクロックライン、画素選択ライン、電源線140は、それぞれ垂直走査回路23、22、21、24に接続されている。

【0046】i行目の駆動パルス電圧VRS(i)、VSE(i)、VTX(i)は、それぞれリセットゲート3、画素選択用トランジスタ5のゲート、トランスファゲート2へ印加される。i行目の電源パルス電圧VD(i)は、リセットゲート3および増幅用トランジスタ4のドレインに印加される。

【0047】各列毎の垂直信号線16には、負荷トランジスタ17が接続されており、垂直信号線16の信号が駆動トランジスタ31および水平選択スイッチトランジスタ32を介して、水平信号線36に伝達される。水平選択スイッチトランジスタ32は、水平走査回路34か

らの信号により駆動される。水平信号線36には、負荷トランジスタ33が接続されている。水平信号線36の信号がバッファアンプ37で増幅され出力OSとなる。

【0048】図2は、図1の回路動作を説明するタイミングチャートである。i行目、i+1行目の各駆動パルス電圧VRS(i)、VSE(i)、VTX(i)、VRS(i+1)、VSE(i+1)、VTX(i+1)および電源パルス電圧VD(i)、VD(i+1)は、1水平走査期間(1H)を隔てて同様のパルス電圧波形であるため、i行目について説明する。

【0049】本発明では、電源電圧VDも読み出し動作に同期して変化する。電源電圧VDは、リセットゲート3および増幅用トランジスタ4のドレインに印加される。個のときの電源電圧VDの波形は、図2に示すように水平方向に行単位で変化する電源パルス電圧VD(i)のパルス波形である。

【0050】期間t1では、リセットゲート3:RS(i)がON状態となり、ゲートのポテンシャルエネルギーが下がるためにリセットゲート3:RS(i)のドレインより電荷検出部FDへ電荷移動が起こり、電荷検出部FDの電位を電源パルス電圧VD(i)にリセットする。

【0051】期間t2では、リセットゲート3:RS(i)は、OFF状態となるが電荷検出部FDではリセット時の電位VD(i)が保持される。

【0052】期間t3では、トランスファゲート2:TX(i)がON状態となり、ゲートのポテンシャルエネルギーが下がるためにフォトダイオード1:PDに蓄積された信号電荷が電荷検出部FDへ転送される。

【0053】期間t4では、トランスファゲート2:TX(i)がOFF状態となるが電荷検出部FDでは信号電荷転送時の電位が保持される。ここまでの期間では、電源パルス電圧VD(i)および駆動パルス電圧VSE(i)は、ハイレベルを保持している。期間t1～t4において、画素選択クロックライン15の駆動パルス電圧VSE(i)が画素選択用トランジスタ5のゲートへ印加され、画素選択用トランジスタ5がON状態であるため、電荷検出部FDの検出信号は垂直信号線16へ出力される。

【0054】図3は、フォトダイオード1:PD(i)、トランスファゲート2:TX(i)、リセットゲート3:RS(i)、電荷検出部FDの各部の接続状態とポテンシャルエネルギーとを示す図である。期間t1～t4の図3の回路動作は、次のように説明できる。図2の期間t1で電荷検出部FDの電位を電源パルス電圧VD(i)にリセットした後、期間t3でフォトダイオード1:PDに蓄積した信号電荷を電荷検出部FDへ読み出す。この時、読み出される信号電荷量は、信号レベルのポテンシャルエネルギーFsからトランスファゲート1:TX(i)のON状態でのハイレベルポテンシ

ヤルエネルギーF0までの量ではなく、更に $\Delta 1$ だけ深いポテンシャルエネルギーまでの量である。これは熱放出効果により、フローティング状態のフォトダイオード1:PDからポテンシャルバリア $\Delta 1$ を越えて余分な電荷が放出されるからである。

【0055】本発明では、この現象は、明るい信号状態あるいは暗い信号状態にかかわらず常に1回しか発生せず、それ以上は進行しない。フォトダイオード1:PDのポテンシャルエネルギーのリセットレベルは、常にF1で固定される。それは、以下に述べる期間t5～t7の動作による。

【0056】期間t5～t7の動作は、図2と図3とを用いて説明する。

【0057】期間t5では、電源パルス電圧VD(i)がLowレベルとなり、トランスファゲート2:TX(i)、リセットゲート3:RS(i)がON状態となるため、リセットゲート3:RS(i)のドレインからフォトダイオード1:PDへ電荷が注入される。

【0058】期間t6では、電源パルス電圧VD(i)が再びHighレベルとなり、トランスファゲート2:TX(i)、リセットゲート:RS(i)がON状態となるため、フォトダイオード1:PDに注入された電荷量の内で、トランスファゲート2:TX(i)のON状態でのハイレベルポテンシャルエネルギーF0を越える電荷量が再びリセットゲート3:RS(i)のドレインへ戻され、フォトダイオード1:PDの電位がプリセットされる。この時のフォトダイオード1:PDのポテンシャルエネルギーは、フォトダイオード1:PDの動作が期間t3における動作と全く同じであることから、熱放出効果によりトランスファゲート2:TX(i)のON状態でのハイレベルポテンシャルエネルギーF0から $\Delta 1$ だけ深いポテンシャルエネルギーF1となる。即ち、信号電荷の読み出し後のフォトダイオード1:PDの電位は常に一定電位F1へ固定される。

【0059】なお、熱放出効果による電位変化は時間と共に対数的に変化する。従って、 $t3=t6$ とすることによりそれぞれの期間での電位変化を同一にできる。これを図4においてフォトダイオードの電位 Φ_D の変化により示す。以上より、本発明では $t3=t6$ としてもよい。

【0060】期間t5～t6の回路動作は、フォトダイオード1:PDから信号電荷を読み出す動作毎に、フォトダイオード1:PDの電位を一定値に保持する動作となる。従って、明るい信号状態あるいは暗い信号状態、および信号の継続期間に関係なく、常に同一基準電位F1から信号電荷が蓄積するため、残像現象は発生しない。

【0061】なお、期間t7は、トランスファゲート2:TX(i)がローレベルとなり、フォトダイオード1:PDを外部回路から遮断し、その電位を上記電位

(ポテンシャルエネルギー) F1に保持した後に電荷検出部FDをも遮断するための予備期間である。

【0062】しかし、図4においてVRS(i)の破線で示すように、FDを遮断せず次回読み出し動作t1まで電源VDに接続しておくことも可能である。

【0063】図3において、リセットゲート3:RS(i)およびトランスファゲート2:TX(i)は、埋め込みチャンネル型とされ、駆動パルス電圧VRS(i)、VTX(i)がローレベルでもOFF状態にならないように設定されている。これにより信号電荷蓄積時(TX, RSともにローレベル)に、過大光がフォトダイオード1:PDに入射した場合にも、過剰信号電荷は、リセットゲート3:RS(i)のドレインへ排出され、ブルーミングが抑制される。また、トランスファゲート2:TX(i)の駆動パルス電圧VTX(i)のハイレベルは、リセットゲート3:RS(i)の駆動パルス電圧VRS(i)のハイレベルより低く設定される。従って、信号読み出し時、フォトダイオードの信号は全て検出部へ転送され、電荷電圧変換ゲインは高く保たれる。

【0064】図5は、本発明による固体撮像装置の他の例を4画素の回路構成で示した回路図である。図5は、図1の固体撮像装置に対して、垂直信号線16内で駆動トランジスタ31の直前に、相関2重サンプリング(CDS)回路18を付加した点が異なる。相関2重サンプリング(CDS)回路18には、クランプクロックφCLおよびサンプルホールドクロックφSHが印加される。

【0065】図6は、図5の回路動作を説明するタイミングチャートである。垂直信号線16では、期間t1〜t4の間に画素選択用トランジスタ5により選択された画素信号が読み出される。

【0066】期間t2では、電荷検出部FDをリセットした直後の電荷検出部FDの電位信号が、期間t4では、フォトダイオード1:PDから電荷検出部FDへ読み出された信号電荷による電荷検出部FDの電位信号がリセットレベルのポテンシャルエネルギーを基準として、それぞれ現れる。このため、相関2重サンプリング(CDS)回路18は、期間t2内で画像信号をクランプパルスφCLによりクランプし、期間t4内で画像信号をサンプルホールドパルスφSHによりサンプルホールドすることで、電荷検出部FDをリセットした直後の電位信号と、フォトダイオードから電荷検出部FDへ電荷転送を行った直後の電位信号の差分を取ることができる。すなわちサンプルホールド出力信号は、正味の信号電荷による電荷検出部の電位変化のみの信号となる。これにより、画素毎のオフセットレベルのバラツキおよびリセット動作に伴い発生するリセットノイズは、キャンセルされ極めて低ノイズの高画質画像信号が得られる。

【0067】なお、上記相関2重サンプリング(CD

S)回路18では、クランプ回路とサンプルホールド回路の組み合わせの例を示したが、本発明は、これに限定されるものではない。他の画像信号の検出方法としては、前述の電荷検出部FDの電位信号をリセットした直後の信号をサンプルホールドした第1の信号と、フォトダイオード1:PDから電荷検出部FDへ電荷転送を行った直後の信号をサンプルホールドした第2の信号との間で、差動アンプ等により差分を取る方法でも良い。

【0068】

【発明の効果】以上より、本発明の固体撮像装置は、ドレインを水平方向に行単位で独立に接続し、フォトダイオードから電荷検出部へ電荷転送した後に、トランスファゲートおよびリセットゲートが共にON状態で、ドレインへ走査回路からのパルス電圧を行単位で順次印加することにより、フォトダイオードの電位が読み出し動作毎に一定電圧に保持され、残像現象が解消できる。その結果、画素構成要素を変更することなく、低ノイズで高感度、高画質の画像信号が得られる。

【0069】更に、フォトダイオードから電荷検出部への電荷転送期間と、ドレインからフォトダイオードへの電荷注入が完了した後トランスゲートをOFFにするまでの期間と、を等しくすることにより、残像の時間依存成分を無くし、高精度に残像現象が解消される。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の実施形態で、4画素を含む回路図である。

【図2】図1の固体撮像装置における駆動パルス電圧のタイミングチャートである。

【図3】図1および図2の固体撮像装置の回路動作における各部の接続とポテンシャルエネルギーとを示す図である。

【図4】図1の固体撮像装置における駆動パルス電圧の別のタイミングチャートである。

【図5】本発明の固体撮像装置の他の実施形態で、4画素を含む回路図である。

【図6】図5の固体撮像装置における駆動パルス電圧のタイミングチャートである。

【図7】従来の固体撮像装置の回路図である。

【図8】従来の固体撮像装置における駆動パルス電圧のタイミングチャートである。

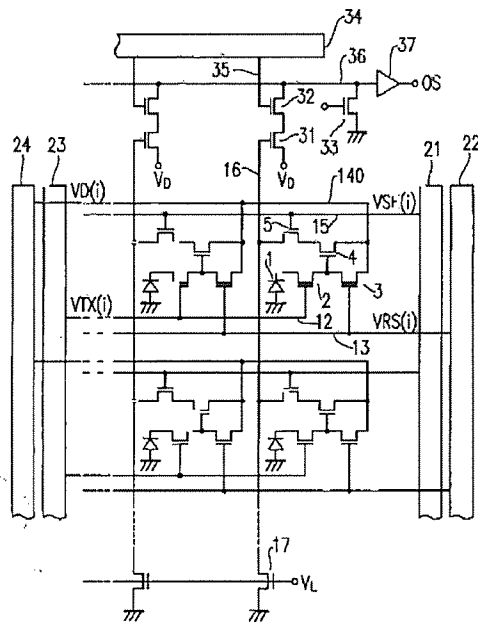
【図9】従来の固体撮像装置の回路動作における各部の接続とポテンシャルエネルギーとを示す図である。

【符号の説明】

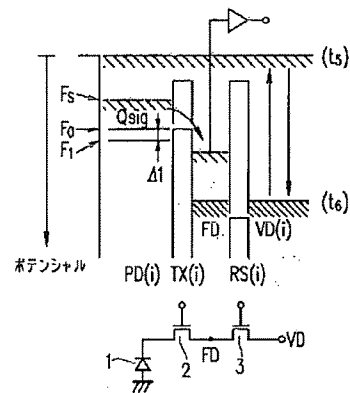
- | | |
|----|-------------|
| 1 | フォトダイオード |
| 2 | トランスファゲート |
| 3 | リセットゲート |
| 4 | 増幅用トランジスタ |
| 5 | 画素選択用トランジスタ |
| 12 | 電荷転送クロックライン |
| 13 | リセットクロックライン |

- | | | | |
|----|---------------------|-----|----------------|
| 14 | 電源線 | 31 | 駆動トランジスタ |
| 15 | 画素選択クロックライン | 32 | 水平選択スイッチトランジスタ |
| 16 | 垂直信号線 | 33 | 負荷トランジスタ |
| 17 | 負荷トランジスタ | 34 | 水平走査回路 |
| 18 | 相関2重サンプリング (CDS) 回路 | 35 | 水平走査信号 |
| 21 | 垂直走査回路 | 36 | 水平信号線 |
| 22 | 垂直走査回路 | 37 | バッファアンプ |
| 23 | 垂直走査回路 | 140 | ドレインに接続された電源線 |
| 24 | 垂直走査回路 | | |

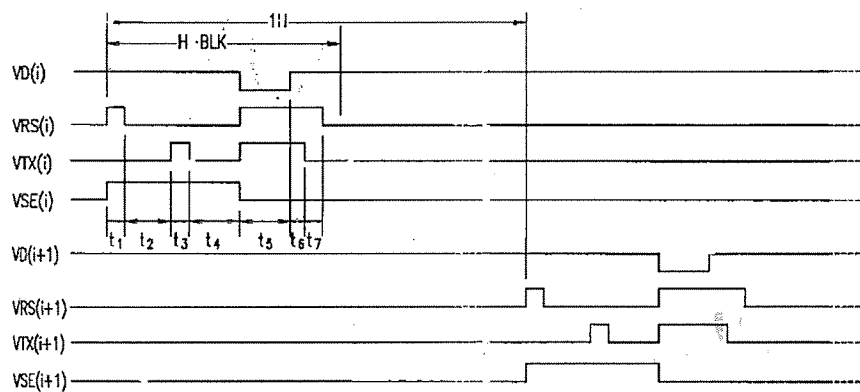
【図1】



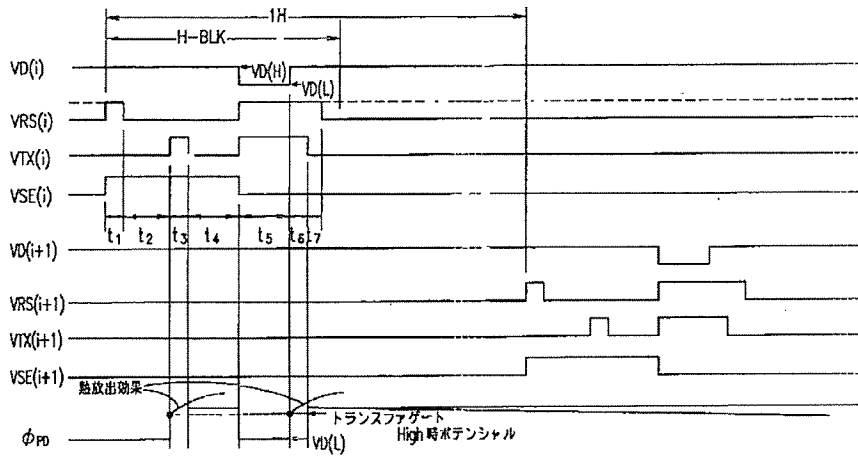
【図3】



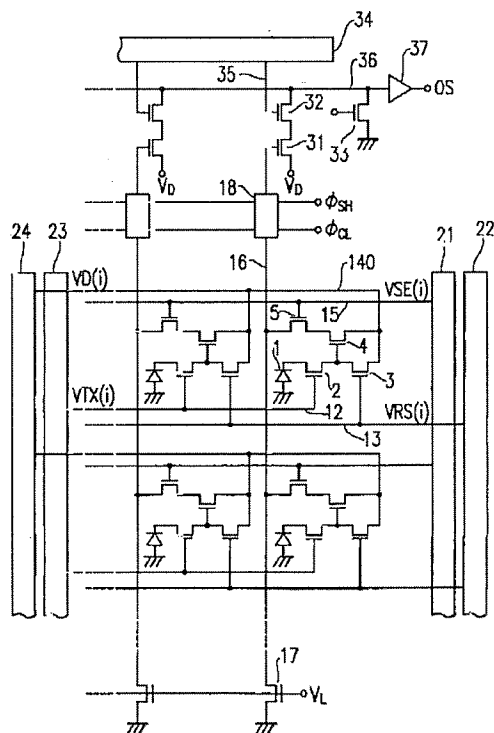
【図2】



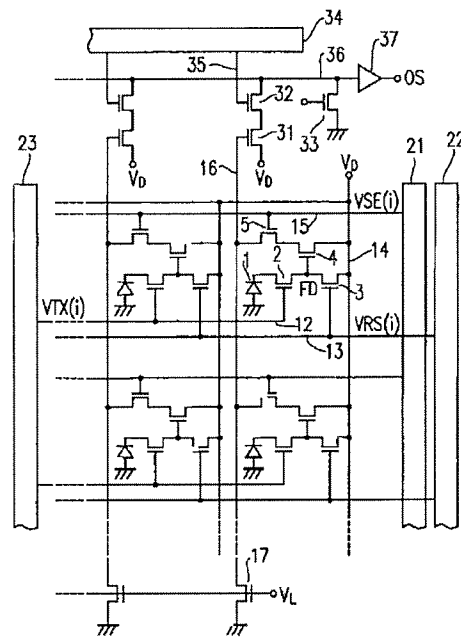
【図4】



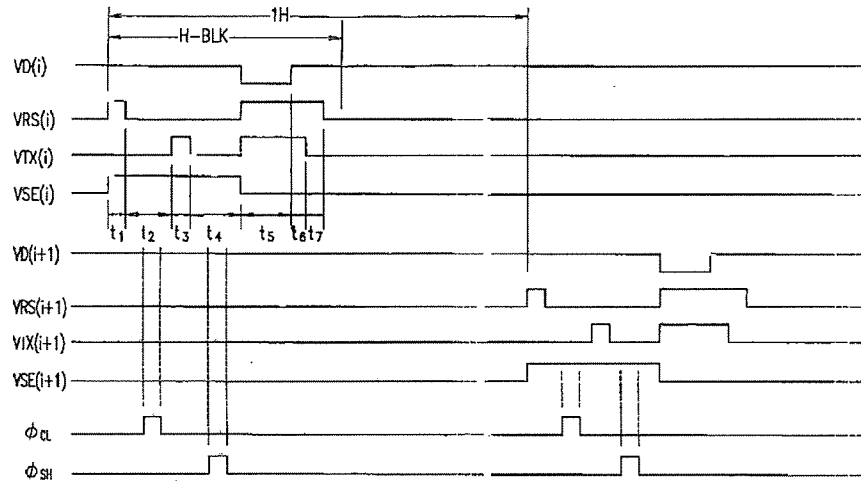
【図5】



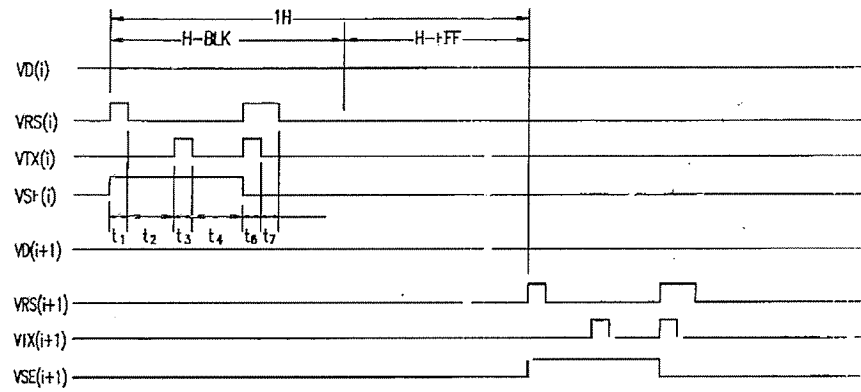
【図7】



【図6】



【図8】



【図9】

